

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-168154

(43)Date of publication of application : 04.07.1995

(51)Int.Cl.

G02F 1/133

G02F 1/136

G09G 3/36

H01L 29/786

(21)Application number : 05-316970

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 16.12.1993

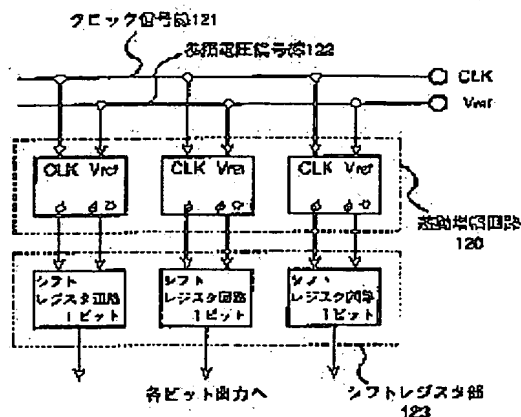
(72)Inventor : OZAWA NORIO
INOUE SATOSHI
MATSUEDA YOJIRO

(54) THIN-FILM TRANSISTOR CIRCUIT

(57)Abstract:

PURPOSE: To provide a thin film transistor (TFT) circuit which drastically lower the generation probability of malfunctions.

CONSTITUTION: This TFT circuit is constituted to obtain a pair of clock signals ϕ and ϕ^* to be inputted to a shift register section 123 of TFTs of the TFT circuit having the shift register by using a differential amplifier circuit 120 which amplifies the voltage difference between the first clock signal and a reference voltage signal. Then, the dependency of the generation probability of the malfunction on a power supply voltage is eliminated with the TFT circuit provided with such means and, therefore, the standard range of the power supply voltage to warrant the operation is taken large.



LEGAL STATUS

[Date of request for examination]

13.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3489162

[Date of registration]

07.11.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-168154

(43) 公開日 平成7年(1995)7月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
	1/136	5 0 0		
G 0 9 G 3/36				
H 0 1 L 29/786				
		9056-4M	H 0 1 L 29/ 78	3 1 1 E
			審査請求 未請求	請求項の数9 O L (全 16 頁)

(21) 出願番号 特願平5-316970

(22) 出願日 平成5年(1993)12月16日

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号(72) 発明者 小澤 徳郎
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内(72) 発明者 井上 聡
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内(72) 発明者 松枝 洋二郎
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

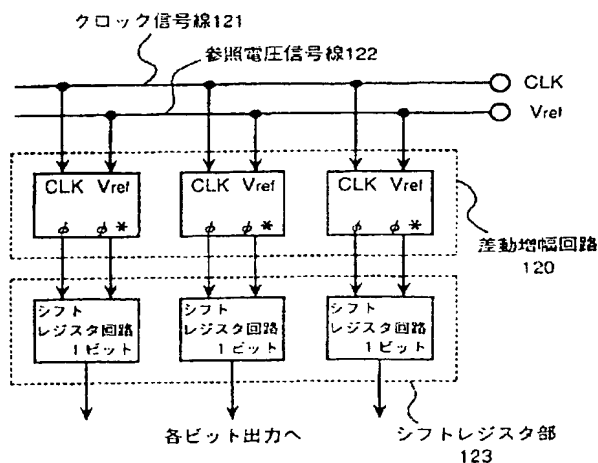
(54) 【発明の名称】 薄膜トランジスタ回路

(57) 【要約】

【目的】 誤動作の発生確率を飛躍的に減少させた薄膜トランジスタ回路を提供する。

【構成】 シフトレジスタを備えた薄膜トランジスタ回路において、前記薄膜トランジスタのシフトレジスタ部に入力する一対のクロック信号 ϕ および ϕ^* を、第1のクロック信号および参照電圧信号の電圧差を増幅する差動増幅回路を用いて得ることを特徴とする薄膜トランジスタ回路。

【効果】 上記手段を講じた薄膜トランジスタ回路においては、電源電圧に対する誤動作の発生確率の依存性が無くなるため、動作を保証する電源電圧の規格範囲を大きくとることが可能となる。



【特許請求の範囲】

【請求項1】 シフトレジスタを備えた薄膜トランジスタ回路において、前記薄膜トランジスタ回路のシフトレジスタ部が、第1のクロック信号に規定される第1のクロックドインバータと、前記第1のクロックとは逆位相の関係にある第2のクロック信号に規定される第2のクロックドインバータと、インバータと、薄膜トランジスタからなるダイオード回路とからなり、前記第1のクロックドインバータの出力端子を前記ダイオード回路の入力端子に接続し、前記ダイオード回路の出力端子を前記インバータおよび第2のクロックドインバータの入力端子に接続し、前記インバータの出力端子を前記第1のクロックドインバータの出力端子兼前記ダイオード回路の入力端子に接続し、さらに、前記第2のクロックドインバータの出力を、第1のクロック信号と第2のクロック信号が入れ替わるのを除いて構成を上記と同じくした回路の前記第1のクロックドインバータの入力端子に相当する端子に接続して構成されることを特徴とする薄膜トランジスタ回路。

【請求項2】 シフトレジスタを備えた薄膜トランジスタ回路において、前記薄膜トランジスタのシフトレジスタ部に入力する一対のクロック信号を、第3のクロック信号および参照電圧信号の電圧差を増幅する差動増幅回路を用いて得ることを特徴とする薄膜トランジスタ回路。

【請求項3】 シフトレジスタを備えた薄膜トランジスタ回路において、前記薄膜トランジスタ回路のシフトレジスタ部が、前記第1のクロック信号に規定される前記第1のクロックドインバータと、前記第1のクロックとは逆位相の関係にある前記第2のクロック信号に規定される第2のクロックドインバータと、前記インバータと、薄膜トランジスタからなる前記ダイオード回路とからなり、前記第1のクロックドインバータの出力端子を前記ダイオード回路の入力端子に接続し、前記ダイオード回路の出力端子を前記インバータおよび第2のクロックドインバータの入力端子に接続し、前記インバータの出力端子を前記第1のクロックドインバータの出力端子兼前記ダイオード回路の入力端子に接続し、さらに、前記第2のクロックドインバータの出力を、第1のクロック信号と第2のクロック信号が入れ替わるのを除いて構成を上記と同じくした回路の前記第1のクロックドインバータの入力端子に相当する端子に接続して構成されていることを特徴とする請求項2記載の薄膜トランジスタ回路。

【請求項4】 前記参照電圧信号が前記第3のクロック信号の振幅の中心に相当する電圧であることを特徴とする請求項2または請求項3記載の薄膜トランジスタ回路。

【請求項5】 差動増幅回路を備えた薄膜トランジスタ回路において、差動増幅回路が第1、第2および第3の

N型薄膜トランジスタと、第1、第2のP型薄膜トランジスタと、第1および第2の複数段インバータ回路とからなり、前記第1のN型薄膜トランジスタのゲート電極を、前記第1のN型薄膜トランジスタに流れるドレイン電流量を動作範囲で一定にする任意の電圧源に接続し、ソース電極を負電源に、ドレイン電極を前記第2および第3のN型薄膜トランジスタのソース電極に接続し、前記第2のN型薄膜トランジスタのゲート電極にはクロック信号を入力し、前記第3のN型薄膜トランジスタのゲート電極には前記参照電圧信号を入力し、また、前記第2および第3のN型薄膜トランジスタのドレイン電極を各々前記第1および第2のP型薄膜トランジスタのドレイン電極に接続し、前記第1および第2のP型薄膜トランジスタのソース電極およびゲート電極を正電源に接続し、さらに、前記第1および第2のP型薄膜トランジスタのドレイン電極を各々、前記第1および第2の複数段インバータ回路の入力端子に接続して構成され、前記第1および第2の複数段インバータ回路の出力端子から、一対のクロック信号を得ることを特徴とする薄膜トランジスタ回路。

【請求項6】 差動増幅回路を備えた薄膜トランジスタ回路において、差動増幅回路が第3、第4および第5のP型薄膜トランジスタと、第4、第5のN型薄膜トランジスタと、第3および第4の複数段インバータ回路とからなり、前記第3のP型薄膜トランジスタのゲート電極を、前記第3のP型薄膜トランジスタに流れるドレイン電流量を動作範囲で一定にする任意の電圧源に接続し、ドレイン電極を正電源に、ソース電極を前記第4および第5のP型薄膜トランジスタのドレイン電極に接続し、前記第4のP型薄膜トランジスタのゲート電極にはクロック信号を入力し、前記第5のP型薄膜トランジスタのゲート電極には前記参照電圧信号を入力し、また、前記第4および第5のP型薄膜トランジスタのドレイン電極を各々前記第4および第5のN型薄膜トランジスタのソース電極に接続し、前記第4および第5のN型薄膜トランジスタのドレイン電極およびゲート電極を負電源に接続し、さらに、前記第4および第5のN型薄膜トランジスタのソース電極を各々、前記第3および第4の複数段インバータ回路の入力端子に接続して構成され、前記第3および第4の複数段インバータ回路の出力端子から、一対のクロック信号を得ることを特徴とする薄膜トランジスタ回路。

【請求項7】 前記請求項5または請求項6記載の薄膜トランジスタ回路の差動増幅回路を用いることを特徴とする請求項2または請求項3または請求項4または請求項5記載の薄膜トランジスタ回路。

【請求項8】 定電流源を備えた薄膜トランジスタ回路において、薄膜トランジスタに印加されるゲート電圧を V_g 、ドレイン電圧を V_d 、前記薄膜トランジスタの閾値電圧を V_0 としたとき、 $V_d > V_g - V_0$ なる関係が成り立

つ飽和領域に前記薄膜トランジスタの動作を固定するバイアスをゲート電圧に印加し、等価的に定電流源として機能させることを特徴とする薄膜トランジスタ回路。

【請求項 9】 前記定電流源を構成する薄膜トランジスタとして、LDD化またはオフセットゲート化した薄膜トランジスタを用いることを特徴とする請求項 8 記載の薄膜トランジスタ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置の駆動回路、走査型画像読み込み装置の駆動回路等に用いる薄膜トランジスタ回路に関する。また、本発明は、差動増幅回路や演算増幅回路等の定電流源を用いる薄膜トランジスタ回路に関する。

【0002】

【従来の技術】従来、薄膜トランジスタ回路は、アクティブマトリクス型の液晶表示装置や、走査型画像読み込み装置等の駆動回路に用いられている。

【0003】これら薄膜トランジスタ回路を用いた装置のうち、アクティブマトリクス方式の液晶表示装置の基本構成を図 2 にブロック図で示す。図 2 の液晶表示装置は、薄膜トランジスタ回路で構成されるソース線駆動回路 201 およびゲート線駆動回路 202 と、少なくとも画素マトリクス 203 とが同一の透明絶縁基板 204 の上に形成されてなる。そのうち、画素マトリクス 203 は、ソース線駆動回路 201 に接続された複数のソース線 $X_1, X_2, X_3 \dots$ と、ゲート線駆動回路 202 に接続された複数のゲート線 $Y_1, Y_2, Y_3 \dots$ と、これらのゲート線およびソース線の各交点に形成された複数の画素 $P_{11}, P_{12} \dots$ とを有し、各画素 $P_{11}, P_{12} \dots$ には薄膜トランジスタ 205 および液晶セル 206 を有する。

【0004】以上の基本構成を有する液晶表示装置において、薄膜トランジスタ回路により構成される前記ゲート線駆動回路 202 および前記ソース線駆動回路 201 を画素マトリクス 203 と同一基板上に形成することにより、製造コストの削減および省スペース化を図れることが一般的に知られている。

【0005】上記の基本構成を有する液晶表示装置の回路構成について、図 3 を用いて説明する。回路構成は大きく分けて、薄膜トランジスタ回路により構成されるソース線駆動回路 301 およびゲート線駆動回路 302 と、画素マトリクス 303 とからなる。前記ソース線駆動回路 301 は、ラッチ信号を時系列的に送出するための X 側シフトレジスタ 304 と、その前記ラッチ信号を増幅、整波するためのバッファ 305 と、ビデオ信号線 306 に印加されたビデオ信号を、前記バッファ 305 から送出されるラッチ信号に応じてソース線 308, 308' にサンプル・ホールドするためのアナログスイッチ 307, 307' と、から構成される。ここで、前記

X 側シフトレジスタ 304 は、クロック CLX で規定されるクロックドインバータ 331 と、クロック CLK* で規定されるクロックドインバータ 332 と、インバータ 333 とからなる基本セル 334 を単位に構成される。

【0006】一方、前記ゲート線駆動回路 302 は、ラッチ信号を時系列的に送出するための Y 側シフトレジスタ 309 と、その前記ラッチ信号を増幅、整波し、ゲート線 311, 311' に送出するためのバッファ 310 と、から構成される。ここで、前記 Y 側シフトレジスタ 309 は、クロック CLY で規定されるクロックドインバータ 335 と、クロック CLY* で規定されるクロックドインバータ 336 と、インバータ 337 と、NAND ゲート 338 からなる基本セル 339 を単位に構成される。

【0007】また、前記画素マトリクス 303 は、前記ソース線 308, 308' ... およびゲート線 311, 311' ... に接続された薄膜トランジスタ 312, 312' ... と液晶セル 313, 313' ... とから構成される。

【0008】次に、図 3 の液晶表示装置の駆動方法の一例について、図 3 と図 4 を併用して説明する。図 4 には、図 3 の点 $P_{11}, P_{12}, Q_1, Q_2, R_1, R_2, V_1$ での電圧を時系列で示している。CLX は X 側シフトレジスタのクロックを表しており、CLX* とは逆位相の関係になっている。同様に、CLY は Y 側シフトレジスタのクロックを表しており、CLY* とは逆位相の関係になっている。ここでは、CLX* と CLY* については図示しない。

【0009】駆動方法を順に説明すると、まず、前記 Y 側シフトレジスタ 309 が前記クロック CLY, CLY* のタイミングに応じて、前記クロック CLY, CLY* の周期の $1/2$ の幅のパルスを前記バッファ 310 に出力する。そのパルスを前記バッファ 310 が増幅、整波して、前記ゲート線 311 (P_1) にゲート選択パルス 401 を出力する。この前記ゲート選択パルス 401 が選択レベルである間、ゲート線 311 に接続した複数の前記薄膜トランジスタ 312, 312' は導通状態になり、このゲート線 311 に接続した複数の薄膜トランジスタ 312, 312' に接続したソース線 303, 303' と、液晶セル 313, 313' とが電氣的に接続する。このとき、前記 X 側シフトレジスタ 304 が前記クロック CLX, CLX* のタイミングに応じて、前記クロックの周期と同じ幅のパルスを前記バッファ 305 に出力する。そのパルスを増幅、整波してアナログスイッチ 307 (Q_1) にサンプル・ホールド信号 403 を出力し、前記アナログスイッチ 307 はそのパルスに応じて前記ビデオ信号線 306 (V_1) のビデオ信号 405 を前記ソース線 308 (R_1) にサンプル・ホールドする。このとき、先に述べたように前記ゲート線 311

に接続した複数の前記薄膜トランジスタ 312 は導通状態にあるため、前記ソース線 308 にホールドした信号は前記液晶セル 313 に書き込まれる。同様に、アナログスイッチ 307' はソース線 308' に前記ビデオ信号 405 をサンプル・ホールドする。これによって、前記液晶セル 313' には前記ソース線 308' にサンプル・ホールドした信号が書き込まれる。これを前記ソース線駆動回路 301 の側で繰り返すことにより、前記ゲート線 311 に接続した複数の画素の液晶セルへ、前記ビデオ信号 405 を書き込むことができる。

【0010】次に、前記ゲート選択パルス 401 が非選択レベルになった後、前記ゲート線駆動回路 302 からゲート選択パルス 402 が出力される。この前記ゲート選択パルス 402 が選択レベルである間に、前述したのと同様に前記ソース線駆動回路 301 を駆動すると、前記ゲート線 311' に接続した複数の画素の液晶セルに前記ビデオ信号 405 を書き込むことができる。

【0011】以上の動作を繰り返すことによって、各画素の液晶セル単位でビデオ信号を書き込むことが可能になり、液晶セルに書き込まれた信号に応じて各々の液晶セルの偏光状態を変えることで、画像を得ることができる。

【0012】

【発明が解決しようとする課題】以上の構成を有する薄膜トランジスタにより構成される前記ゲート線駆動回路 302 および前記ソース線駆動回路 301 が、電源電圧を上げるのに伴って誤動作し易くなるという現象がある。この原因として、以下に述べる 2 つが挙げられる。

【0013】まず、1 つめの原因として、電源電圧を上げるのに伴って前記駆動回路が動作ノイズ、クロックノイズ等のノイズに敏感になることが挙げられる。また、2 つめの原因として、電源電圧を上げるのに伴って前記駆動回路が正負のクロックのタイミングずれに対して敏感になることが挙げられる。

【0014】まず、1 つ目の誤動作の原因について、図 5 に前記駆動回路のシフトレジスタ部の動作に関する部分だけを抜き出して説明する。図 3 の前記ゲート線駆動回路 302 のシフトレジスタ 304 は、出力段に付加した NAND ゲート 338 を除いて、前記ソース線駆動回路 301 のシフトレジスタ 309 とほぼ同等の構成からなっているので、この図 5 では前記ソース線駆動回路 301 のシフトレジスタ 304 と前記ゲート線駆動回路 302 のシフトレジスタ 309 とに共通する薄膜トランジスタ回路の動作について説明する。

【0015】図 5 の (a) は、前記のゲート線駆動回路 302 およびソース線駆動回路 301 のシフトレジスタに共通する薄膜トランジスタ回路を説明する図である。図 5 (b) は (a) の前記薄膜トランジスタ回路が理想的に動作したときの各点 P51 ~ P54 での電圧波形を説明する図、図 5 (c) は (a) の前記薄膜トランジスタ回

路が誤動作したときの各点 P51 ~ P54 での電圧波形を説明する図である。図 5 (a) において、Din はこの回路のシフト動作を開始する信号を入力する端子を表す。また、 ϕ 、 ϕ^* は位相が互いに逆転した 2 つのクロックを表しており、それらはクロックドインバータのインバータ動作のオンオフを制御している。例えば図 5 (a)

で、 ϕ の矢印に指されているクロックドインバータ 501、506 は、クロック ϕ がハイレベル、かつ、クロック ϕ^* がローレベルのときインバータとして動作する。

10 同様に、 ϕ^* の矢印に指されているクロックドインバータ 503、504 はクロック ϕ^* がハイレベル、かつ、クロック ϕ がローレベルのときインバータとして動作する。ここでいうハイレベルとは、N 型薄膜トランジスタを導電状態に、かつ、P 型薄膜トランジスタを絶縁状態にするとときに印加されるゲート電圧に相当する。同様に、ローレベルとは、N 型薄膜トランジスタを絶縁状態に、P 型薄膜トランジスタを導電状態にするとときに印加されるゲート電圧に相当する。ちなみに本文中では、薄膜トランジスタの伝導型に関する記述が特にない場合には、全てエンハンスメント型の薄膜トランジスタであるものとする。

【0016】上記の回路の理想的な動作について動作順に説明する。初期状態においてクロック ϕ はローレベル、クロック ϕ^* はハイレベルになっているものとする。また、点 P52、点 54 はローレベルになっており、Din、点 P51、点 P53 はハイレベルになっているものとする。(t50)

このとき、Din をローレベルにする。この時点では、まだクロックドインバータ 501 はインバータ動作をしていないため、Din がローレベルになったにも関わらず点 P51 はローレベルのまま保持される。(t51)
ここでクロック ϕ をハイレベルに、クロック ϕ^* をローレベルにすると、クロックドインバータ 501 がインバータ動作を開始し、点 P51 はハイレベルとなる。また、点 P52 はインバータ 502 を介してローレベルとなる。このとき、クロックドインバータ 504 はインバータ動作をしていないため、その入力端子である点 P52 と出力端子である点 P53 はともにローレベルのままとなる。

(t52)

40 次に再びクロック ϕ をローレベルに、クロック ϕ^* をハイレベルにすると、クロックドインバータ 501 はインバータ動作を止めるのに対し、クロックドインバータ 503、504 がインバータ動作を開始する。クロックドインバータ 504 の出力端子である点 P53 はハイレベルとなり、さらに点 P54 はインバータ 505 を介してローレベルとなる。一方、クロックドインバータ 503 は点 P51 のローレベルの電圧を保持する。(t53)

さてクロック ϕ および ϕ^* はそのままの状態、次に Din をハイレベルにする。このとき、クロックドインバータ 501 はインバータ動作をしていないため、Din、点

P51ともにハイレベルとなっている。(t54)
その後クロック ϕ をハイレベル、クロック ϕ^* をローレベルにすると、前記t52の時点と同様に機能し、点P51をローレベルに、点P52をハイレベルにする。この時点では、点P53および点P54は、クロックドインバータ504がインバータ動作をしていないので、それぞれハイレベル、ローレベルのままである。(t55)

最後に、前記t53の時点と同様にクロック ϕ をローレベル、クロック ϕ^* をハイレベルにすることにより、点P53はローレベル、点P54はハイレベルとなる。(t56)
さてここでt50の時点から、点P52および点P54における出力電圧の波形を見てみると、点P54には、点P52の信号がクロック ϕ 、 ϕ^* の半周期分だけ遅れて出力されていることが分かる。つまり点P52から点P54へ、クロックの半周期の間に出力信号がシフトされたことになる。以上が理想的なシフトレジスタ動作である。

【0017】これに対して、図5(c)に示すような誤動作が生じることがある。ここでは一例として、t53の時点で点P51にクロックノイズが載り、電圧がハイレベルより下がった状態を想定する。

【0018】このとき理想的には、クロックドインバータ503がインバータとして機能して点P51の電圧をハイレベルに保持することができる。しかし、実際には回路全体としての最高動作周波数を上げるために、点P51の電圧保持のために用いられるクロックドインバータ503のゲート幅は、インバータ502を駆動するのに用いられるクロックドインバータ501のゲート幅よりも狭くすることが多い。

【0019】この結果、クロックドインバータ503の駆動能力はクロックドインバータ501に比べ低いものとなり、高速動作において点P51は電圧を保持しきれなくなる。この例では、点P51の電圧が極端にハイレベルから落ちている。点P51にこのような電圧が印加されたとすると、t53~t54の間、点P52は理想的にはローレベルであるはずが、これとは逆にハイレベルとなってしまふ。さらに、このときクロックドインバータ504はインバータ動作をしているから点P53はローレベルになり、そして点P54はハイレベルとなる。このとき、理想的には点P54はローレベルになるはずだが、この例ではt50の時点からハイレベルのままに保持されている。これは即ち誤動作しているということである。

【0020】以上に説明したように、クロックノイズ等のノイズが載ることによって前記駆動回路の誤動作が生じることが分かった。さて、一般に薄膜トランジスタはその易動度が半導体基板上に形成される電界効果型トランジスタに比べて小さいため、薄膜トランジスタを用いた論理回路ではクロックの論理電圧と電源電圧とを同じくして、高速動作を実現することが多い。つまり、通常の薄膜トランジスタ回路においては、電源電圧を上げるに従ってそのクロックノイズも大きくなるということであ

あり、延いては誤動作が生じ易くなる。

【0021】次に、前述の2つ目の原因について説明する。それは、前記駆動回路の電源電圧を上げるのに伴って正負のクロックのタイミングずれに敏感になるという現象である。これについては、図6および図7を用いて説明する。図6の(a)は図5(a)で示した薄膜トランジスタ回路と同じである。(b)はこの薄膜トランジスタ回路が誤動作したときの各点Din、P61~P64、クロック ϕ 、 ϕ^* の電圧波形を示す。図6(a)の構成とその理想的動作については上記図5(a)を用いて説明したものと同等であるので、ここでは説明を省く。ただし、図6(b)に示す時点t60~t65は図5(b)および(c)で用いた時点t50~t56と同等には対応していないので注意してされたい。また、図7は図6(a)のクロックドインバータ601のt62~t63、t64~t65期間での動作およびクロックドインバータ603のt64~t65での動作を説明する図である。図7(a)は薄膜トランジスタで構成した代表的なクロックドインバータの等価回路図である。ここに示すクロックドインバータは、クロックCL1に導通状態を制御される第1のP型薄膜トランジスタ701と、入力信号INに導通状態を制御される第2のP型薄膜トランジスタ702と、入力信号INに導通状態を制御される第1のN型薄膜トランジスタ703と、クロックCL2に導通状態を制御される第2のN型薄膜トランジスタとから構成され、それらは前記の順に正の電源Vddから負の電源Vssに直列に設けられる。このクロックドインバータの出力OUTは、前記第2のP型薄膜トランジスタ702のドレイン端子と、前記第1のN型薄膜トランジスタのドレイン端子との接続端子での電圧である。ここでは、このクロックドインバータの動作を説明する表、図7(b)を参照して、図6のクロックドインバータの動作を説明する。

【0022】前述と同様に、この誤動作について動作順に説明する。初期状態においてクロック ϕ はローレベル、クロック ϕ^* はハイレベル、Dinはハイレベル、点P61、P63はローレベル、点P62、P64はハイレベルであるとする。(t60)まず、Dinがローレベルに変わる。このとき、クロックドインバータ601はインバータ動作をしていないので点P61はローレベルのままである。(t61)

さてこの誤動作の例では、クロック ϕ がクロック ϕ^* に遅れを生じている場合を考える。そうすると、まず最初にクロック ϕ^* がローレベルに変わる。このとき、クロックドインバータ601においては、図7(b)に示すように期間t62~t63において、第1のP型薄膜トランジスタ701および第2のP型薄膜トランジスタ702が同時に導通状態となり、出力(点P61)はハイレベルとなる。これに多少遅れてクロック ϕ がハイレベルに変わる。この時点で前記クロックドインバータ601の第2のN型薄膜トランジスタ704は導通状態となるが、

第1のN型薄膜トランジスタ703は絶縁状態のままであり、結局、前記クロックドインバータ601の出力はハイレベルのまま変わらない。(t63)

次に、クロックφ*がハイレベルに変わる。この状態のとき前記クロックドインバータ601においては、図7(b)に示すように第2のP型薄膜トランジスタ702および第2のN型薄膜トランジスタ704は導通状態にあるが、第1のP型薄膜トランジスタ701および第1のN型薄膜トランジスタ703が絶縁状態にある。このため、出力端子OUTつまり点P61が正負両方の電源と高抵抗を介して接続されているのと等価になり、点P61の電圧は電源電圧の1/2に漸近しつつ、不安定な状態になる。このとき、理想的な動作状況下ではクロックドインバータ603がインバータ動作をして点P61をハイレベルに保持する役割を果たす。しかし、図7(b)に示すように、前記クロックドインバータ603の第1のP型薄膜トランジスタ701および第1のN型薄膜トランジスタ703は導通状態となるが、第2のP型薄膜トランジスタおよび第2のN型薄膜トランジスタは絶縁状態となる。つまり、これはインバータとして機能せず、点P61をハイレベルに保持することはできない。

(t64)

その後再びクロックφ*がローレベルになるまでの間(t64~t65)に、点P61の電圧が電源電圧の1/2程度にまで漸近してしまつたとすると、インバータ602の出力は、それを構成するP型薄膜トランジスタとN型薄膜トランジスタの特性差等の諸要因に左右され、ハイレベル、ローレベルのどちらに近い電圧を出力するか予想できない。ここでは、仮に前記インバータ602がハイレベルに近い電圧を点P62に出力した場合を考えると、前記クロックドインバータ603の出力(点P61)はローレベルとなる。この時点ですでに、前述の図5を用いて説明した誤動作の状況と全く同じになっている。

【0023】これらの駆動回路では電源電圧を上げるのに伴って駆動回路の最高動作周波数も高くなる。このとき、駆動回路内の一部に誤動作が生じたとしても、それに対する応答速度も速くなるため、誤動作を補正するはずの動作が追いつかなくなるという現象が生じる。従って、ある一定の動作周波数でこの駆動回路が動作しているとき、電源電圧を上げるのに伴い誤動作が発生し易くなるということが起こる。

【0024】以上に説明した原因により前記駆動回路の誤動作が生じるのだが、実際にはこれらの現象が同時に進行しており、なお一層、誤動作し易くなっているのである。

【0025】本発明では以上の課題を解決し、安定動作を保証する薄膜トランジスタ回路を実現する方法について述べる。

【0026】

【課題を解決するための手段】シフトレジスタを備えた

薄膜トランジスタ回路において、前記薄膜トランジスタ回路のシフトレジスタ部が、第1のクロック信号に規定される第1のクロックドインバータと、前記第1のクロックとは逆位相の関係にある第2のクロック信号に規定される第2および第3のクロックドインバータと、インバータと、薄膜トランジスタからなるダイオード回路とからなり、前記第1のクロックドインバータの出力端子を前記ダイオード回路の入力端子に接続し、前記ダイオード回路の出力端子を前記インバータおよび第2のクロックドインバータの入力端子に接続し、前記第2のクロックドインバータの出力端子を前記第1のクロックドインバータの出力端子兼前記ダイオード回路の入力端子に接続し、さらに、前記第2のクロックドインバータの出力を、第1のクロック信号と第2のクロック信号が入れ替わるのを除いて構成を上記と同じくした回路の前記第1のクロックドインバータの入力端子に相当する端子に接続して構成することにより、前記課題を解決する。

【0027】また、シフトレジスタを備えた薄膜トランジスタ回路において、前記薄膜トランジスタのシフトレジスタ部に入力する一対のクロック信号を、第3のクロック信号および参照電圧信号の電圧差を増幅する差動増幅回路を用いて得ることにより、前記課題を解決する。このとき、前記参照電圧信号が前記第3のクロック信号の振幅の中心に相当する電圧にすることにより、一層の効果が得られる。

【0028】また、差動増幅回路を備えた薄膜トランジスタ回路が、第1、第2および第3のN型薄膜トランジスタ回路と、第1、第2のP型薄膜トランジスタ回路と、第1および第2の複数段インバータ回路とからなり、前記第1のN型薄膜トランジスタのゲート電極を、前記第1のN型薄膜トランジスタに流れるドレイン電流量を動作範囲で一定にする任意の電圧源に接続し、ソース電極を負電源に、ドレイン電極を前記第2および第3のN型薄膜トランジスタのソース電極に接続し、前記第2のN型薄膜トランジスタのゲート電極には前記第3のクロック信号を入力し、前記第3のN型薄膜トランジスタのゲート電極には前記参照電圧信号を入力し、また、前記第2および第3のN型薄膜トランジスタのドレイン電極を各々前記第1および第2のP型薄膜トランジスタのドレイン電極に接続し、前記第1および第2のP型薄膜トランジスタのソース電極およびゲート電極を正電源に接続し、さらに、前記第1および第2のP型薄膜トランジスタのドレイン電極を各々、前記第1および第2の複数段インバータ回路の入力端子に接続して構成され、前記第1および第2の複数段インバータ回路の出力端子から、前記シフトレジスタ部に入力する一対のクロック信号を得る方法、同様にまたは、差動増幅回路を備えた薄膜トランジスタ回路が、第3、第4および第5のP型薄膜トランジスタ回路と、第4、第5のN型薄膜トランジスタ回路と、第3および第4の複数段インバータ回路

とからなり、前記第3のP型薄膜トランジスタのゲート電極を、前記第3のP型薄膜トランジスタに流れるドレイン電流量を動作範囲で一定にする任意の電圧源に接続し、ドレイン電極を正電源に、ソース電極を前記第4および第5のP型薄膜トランジスタのドレイン電極に接続し、前記第4のP型薄膜トランジスタのゲート電極には前記第3のクロック信号を入力し、前記第5のP型薄膜トランジスタのゲート電極には前記参照電圧信号を入力し、また、前記第4および第5のP型薄膜トランジスタのドレイン電極を各々前記第4および第5のN型薄膜トランジスタのソース電極に接続し、前記第4および第5のN型薄膜トランジスタのドレイン電極およびゲート電極を負電源に接続し、さらに、前記第4および第5のN型薄膜トランジスタのソース電極を各々、前記第3および第4の複数段インバータ回路の入力端子に接続して構成され、前記第3および第4の複数段インバータ回路の出力端子から、前記シフトレジスタ部に入力する一対のクロック信号を得る方法により、前記課題を解決する。

【0029】また、定電流源を備えた薄膜トランジスタ回路において、薄膜トランジスタに印加されるゲート電圧を V_g 、ドレイン電圧を V_d 、前記薄膜トランジスタの閾値電圧を V_0 としたとき、 $V_d > V_g - V_0$ なる関係が成り立つ飽和領域に前記薄膜トランジスタの動作を固定するバイアスをゲート電圧に印加し、等価的に定電流源として機能させることにより、前記課題を解決し、さらに前記定電流源を構成する薄膜トランジスタとして、LD化またはオフセットゲート化した薄膜トランジスタを用いることにより一層の効果が得られる。

【0030】

【作用】上記手段を講じた薄膜トランジスタ回路においては、そのシフトレジスタ部の各段毎にダイオード回路を設けることにより動作ノイズ、クロックノイズ等による誤動作の発生確率を減らし、安定動作を実現する。また、そのシフトレジスタ部に入力される一対のクロック信号を差動増幅回路でほぼ同時に生成することにより、クロック信号間の遅延差を実質的に無くして安定動作を実現する。また、薄膜トランジスタの飽和領域の特性を用いることにより定電流源を等価的に実現し、薄膜トランジスタ回路の安定動作を実現する。

【0031】

【実施例】次に、本発明の実施例について以下に説明する。

【0032】本発明は、液晶表示装置の駆動回路等や、走査型画像読み込み装置の駆動回路等に用いられる薄膜トランジスタ回路に適用できる。ここでは実施例として、本発明の薄膜トランジスタ回路を用いて駆動回路を構成したアクティブマトリクス方式の液晶表示装置について説明する。この基本構成は従来例で示したものと変わらないため、従来例の説明で用いた図2を用いて説明する。本発明の薄膜トランジスタ回路をアクティブマト

リクス方式の液晶表示装置は、ソース線駆動回路201およびゲート線駆動回路202と、少なくとも画素マトリクス203が同一の透明絶縁基板204の上に形成されてなる。そのうち、画素マトリクス203は、ソース線駆動回路201に接続された複数のソース線 X_1, X_2, X_3, \dots と、ゲート線駆動回路202に接続された複数のゲート線 Y_1, Y_2, Y_3, \dots と、これらのゲート線およびソース線の各交点に形成された複数の画素 P_{11}, P_{12}, \dots とを有し、各画素 P_{11}, P_{12}, \dots には薄膜トランジスタ205および液晶セル206を有する。

【0033】以上の構成を持ったアクティブマトリクス方式の液晶表示装置等の駆動回路等に用いられる薄膜トランジスタ回路において、その誤動作を防止するためには、駆動回路の各接続点の電圧を正常に保持することが必要である。以下、それを実現する実施例について具体的に述べる。

【0034】（実施例1）本実施例1では、ダイオード接続した薄膜トランジスタを用いて薄膜トランジスタ回路中の各接続点の電圧を保持し、誤動作を防止する方法について述べる。図8は、本発明の実施例1を説明する図である。ここでは、前記のゲート線駆動回路302およびソース線駆動回路301等のシフトレジスタ回路として、本発明を適用した場合について説明する。

【0035】まず、図中の記号について説明する。803および807はインバータである。また、801および808はクロック ϕ がハイレベル、クロック ϕ^* がローレベルのときにインバータ動作を行うクロックドインバータであり、804および805はクロック ϕ がローレベル、クロック ϕ^* がハイレベルのときにインバータ動作を行うクロックドインバータである。また、802および806はダイオード接続をした薄膜トランジスタである。これらは両極性ダイオードと等価であるため、以下ではダイオード802、806と記すことにする。ここでは一例として、第1の端子にN型薄膜トランジスタのゲート電極およびソース電極およびP型薄膜トランジスタのゲート電極およびソース電極を接続し、第2の端子にN型薄膜トランジスタのドレイン電極およびP型薄膜トランジスタのドレイン電極を接続して構成されるダイオードを一例として挙げる。

【0036】なお、前記クロック ϕ とクロック ϕ^* とは逆位相の関係にある。また、本文中で述べるハイレベルとは、N型薄膜トランジスタを導電状態に、かつ、P型薄膜トランジスタを絶縁状態にするときに印加されるゲート電圧に相当する。同様に、ローレベルとは、N型薄膜トランジスタを絶縁状態に、P型薄膜トランジスタを導電状態にするときに印加されるゲート電圧に相当する。以下、本文中ではハイレベルの電圧を V_H 、ローレベルの電圧を V_L と記す。また、本文中、薄膜トランジスタの伝導型に関しての記述が特にない場合には、全て

エンハンスメント型の薄膜トランジスタであるものとする。

【0037】次に、この薄膜トランジスタ回路の動作について図8および図9を用いて説明する。図9は図8の点P80～P86での電圧を表したタイムチャートであり、同符号が同じ箇所に対応している。

【0038】まず初期状態として、シフト開始信号の入力端子である点P80がV_Hになっており、シフト信号の出力端子である点P81、P82がV_Lになっている場合を想定する。(t₉₀)

この初期状態から、クロックφがV_Hに、クロックφ*がV_Lに変わる。このとき、クロックφで規定されているクロックドインバータ801はインバータ動作をし、クロックφ*で規定されているクロックドインバータ804はインバータとして機能しない。よって、ダイオード802の入力端子である点P83はV_Lとなる。この状態のとき、ダイオード802は双方向ダイオードとして機能するため、それを構成する薄膜トランジスタの閾値電圧V_{th}をV_Lに加えた電圧(V_{th}+V_L)を点P84に出力する。次にインバータ803は、入力電圧がV_L以上(V_{th}+V_L)以下のときV_Hの電圧を出力する。これにより、点P81はV_Hとなり、初期状態でのV_LからV_Hへと変化したことになる。(t₉₁)

次に、クロックφがV_Lに、クロックφ*がV_Hになり、点P80が再びV_Lになる。このとき、前述と同様にクロックφで規定されているクロックドインバータ801はインバータとして機能せず、点P80の電圧状態の変化が点P83に伝えられることはない。これに対して、クロックφ*で規定されているクロックドインバータ804および805はインバータ動作をする。このうち、クロックドインバータ804は点P83の電圧V_Lを保持するよう機能する。一方、クロックドインバータ805は点P85をV_Lに変える。点P85のV_L出力を受け、ダイオード806は前述と同様に電圧(V_{th}+V_L)を点P86に出力し、続いて、インバータ807がV_Hの電圧を点P82に出力する。こうして、点P82は初期状態のV_LからV_Hへと変化したことになる。(t₉₂)

次に再び、クロックφがV_Hに、クロックφ*がV_Lになる。このとき、クロックφで規定されているクロックドインバータ801および808はインバータ動作をし、クロックφ*に規定されているクロックドインバータ804および805はインバータとして機能しない。クロックドインバータ801は、この時点で点P80がV_HからV_Lに電圧状態が変化したのに対応してV_Hの電圧を点P83に出力する。ダイオード802は、これを受けてV_Hよりも閾値電圧V_{th}分だけ低い電圧(V_H-V_{th})を点P84に出力する。インバータ803は、入力電圧が(V_H-V_{th})以下V_H以下のときV_Lの電圧を出力する。これにより、点P81はV_Lとなり、初期状態からV_L、V_H、V_Lと変化、ビット出力となる。このとき、クロ

クドインバータ805は、インバータとして機能しないので、点P81の電圧状態の変化に対応しない。一方、クロックドインバータ808は点P85の電圧を保持するよう機能している。(t₉₃)

次に再び、クロックφがV_Lに、クロックφ*がV_Hになる。クロックφ*に規定されているクロックドインバータ804および805はインバータ動作をし、クロックφに規定されているクロックドインバータ801および808はインバータとして機能しない。このうち、クロックドインバータ804は点P83の保持動作を行う。一方、クロックドインバータ805は、この時点で点P81の電圧状態の変化に対応し、V_Hの電圧を点P86に出力する。これに続いて、ダイオード806は前述と同様に(V_H-V_{th})の電圧を点P86を出力し、インバータ807はV_Lを出力する。こうして、点P82は点P81と同様にV_L、V_H、V_Lと変化、ビット出力となる。

(t₉₄)

通常、クロックφとクロックφ*とは互いに逆位相で同周期の周期信号である。つまり、点P82の出力信号は点P81の出力信号に対しクロックφおよびφ*の1/2周期だけ遅れていることになる。即ち、これによりビット出力が転送され、シフトレジスタ動作は従来と同様に行われたということになる。

【0039】さてここで、従来の薄膜トランジスタ回路ではクロックノイズ等により誤動作が発生したのに対して、本実施例1の薄膜トランジスタ回路を用いることにより誤動作の発生頻度が大幅に改善されることを説明する。

【0040】具体的な場合を想定し、ここでは前記の時点t₉₂において、点P83がクロックノイズ等の影響により(V_{th}+V_L)以上の電圧、(V_{th}+V_L+V_{err})に瞬間的に変化したものとする。過渡応答を考慮しなければ、前記ダイオード802は(V_{th}+V_L)以上の電圧を入力した場合、入力電圧を減衰させることなく出力することができると考えられる。しかし実際には、前記ダイオードを構成する薄膜トランジスタの素子容量および素子抵抗により前記ダイオードには遅延回路が等価的に構成されることになり、点P84は点P83の電圧変動の影響を瞬間的に受けることは無くなる。そうした遅延が生じている間に、前記クロックドインバータ804が機能して点P83をV_Lに戻し、正常動作させることができる。

【0041】以上に示した本発明の構成をシフトレジスタ部の各ビットに設けることにより各ビット毎に誤動作を防止することが可能となるため、誤動作の発生確率を減少させることができる。

【0042】なおここでは、前記ダイオード802および806、インバータ803および807等、図8に示した回路に用いる薄膜トランジスタ全ての閾値電圧が等しい場合について説明した。これに対して、前記ダイ

15

ードに用いた薄膜トランジスタの閾値電圧 V_{th1} を、その他の前記インバータおよび前記クロックドインバータに用いた薄膜トランジスタの閾値電圧 V_{th2} よりも小さくすることで以下に説明する理由により、さらに安定動作が保証されることになる。このとき、インバータ 803 および 807 への入力電圧は、前記ダイオードへの入力電圧が V_L のとき $(V_L + V_{th1})$ 、 V_H のとき $(V_H - V_{th1})$ で安定する。また、前記インバータは入力電圧が V_L 以上 $(V_L + V_{th2})$ 以下のとき V_H を出力し、さらに入力電圧が V_L に近い程安定して V_H を出力することができる。同様に、入力電圧が $(V_H - V_{th2})$ 以上 V_H 以下のとき V_L を出力し、さらに入力電圧が V_H に近い程安定して V_L を出力することができる。前記インバータに安定して入力される電圧は $(V_L + V_{th1})$ および $(V_H - V_{th1})$ であるので、この $V_{th1} < V_{th2}$ なる条件が成り立つとき、 $V_L < V_L + V_{th1} < V_L + V_{th2}$ および $V_H - V_{th2} < V_H - V_{th1} < V_H$ の関係が成り立つため、前記インバータは、全ての薄膜トランジスタの閾値電圧が等しい場合に比べて、安定した出力をすることができる。以上により、さらに誤動作の発生確率の低い薄膜トランジスタ回路を得ることができる。

【0043】以上に示した薄膜トランジスタを用いたダイオード回路を用いる本実施例 1 による方式は、従来、動的シフトレジスタ等に用いられている容量を付加する方式に比べ電源線へのノイズ混入を少なくすることが可能となる。これは、従来の容量を付加する方式が、電源線との間に設けた容量を介して電荷変動を直接的に電源線に伝えるのに対して、ダイオード回路を用いる本実施例 1 の方式が、電源線とダイオードとを直接に接続せず、他のインバータ等を通じて間接的に接続するからである。

【0044】（実施例 2）本実施例 2 では、クロック発生回路に薄膜トランジスタで構成した差動増幅回路を用いて薄膜トランジスタ回路に入力されるクロックのタイミングずれを少なくし、誤動作を防止する方法について述べる。

【0045】図 1 は本実施例 2 を用いた薄膜トランジスタ回路の一例を説明するブロック図である。ここでは、アクティブマトリクス型液晶表示装置等の駆動装置に用いられる薄膜トランジスタ回路を挙げる。図中記号 120 は差動増幅回路を示しており、記号 121、122 はそれぞれ前記差動増幅回路に入力されるクロック信号 CLK を伝送するクロック信号線および参照電圧 V_{ref} を伝送する参照電圧信号線を示している。また、記号 123 は前記差動増幅回路から出力されたクロック ϕ および ϕ^* の信号を入力して動作するシフトレジスタ回路であり、ここでは説明簡略化のため前記シフトレジスタ回路を 1 ビット毎のブロック図で示した。前記シフトレジスタ回路については従来のものと動作、構成とも特に変わらない。以上の構成のとき、前記差動増幅回路 120

16

は、クロック信号 CLK および参照電圧 V_{ref} を入力し、前記クロック 121 と同相のクロック ϕ および逆相のクロック ϕ^* を出力する。

【0046】次に、この差動増幅回路 120 の具体的構成の一例を図 10 に示す。図中、記号 140、141、142 は N 型薄膜トランジスタを表し、記号 143 および 144 は P 型薄膜トランジスタを表している。また、記号 145 は差動対回路を表し、146 および 146' は前記差動対回路の出力を増幅するバッファを表している。ここでは、前記参照電圧信号 V_{ref} を第 1 の入力端子 148 に入力し、前記クロック 121 を第 2 の入力端子 147 に入力して、それらの電圧の差を増幅出力している。バッファ 146 および 146' は、入力端子に N 型薄膜トランジスタのゲート電極および P 型薄膜トランジスタのゲート電極を接続し、出力端子に前記 N 型薄膜のドレイン電極および前記 P 型薄膜トランジスタのドレイン電極を接続し、前記 N 型薄膜トランジスタのソース電極を負電源に接続し、前記 P 型薄膜トランジスタのソース電極を正電源に接続することにより得られるインバータ回路を複数接続してなる。これらの回路は電圧 V_{dd} の正電源および電圧 V_{ss} の負電源に接続されている。

【0047】以上の差動増幅回路を用いてクロック ϕ および ϕ^* を得る課程を、図 11 および図 12 を用いて回路動作に基づいて説明する。図 11 は、図 10 に示す差動増幅回路のうち前記差動対 145 の動作を説明する図である。図 11 (a) は、前記参照電圧 V_{ref} に比べて前記クロック 121 の電圧 V_{in} の方が大きい場合の差動対回路での電流の流れを示す図であり、図 11 (b) は逆に、前記クロック 121 の電圧 V_{in} に比べて前記参照電圧 V_{ref} の方が大きい場合での差動対回路での電流の流れを示す図である。図 12 はこの差動増幅回路を実際に駆動した場合の動作状態を説明するタイムチャートである。

【0048】まず図 11 を用いて簡単に前記差動対回路 145 の動作を説明する。それぞれの薄膜トランジスタに附した記号は図 10 と同じである。さて、まず N 型薄膜トランジスタ 140 はゲート電極に入力されるバイアス電圧 V_{bias} により常に飽和領域で動作をするよう保持されている。飽和領域において薄膜トランジスタはドレイン電圧に依存せずドレイン電流が流れるので、ここでは前記 N 型薄膜トランジスタ 140 は等価的に定電流源として用いられている。その定電流源が定電流 i を流しているとする。さて、図 11 (a) に示すように $V_{in} > V_{ref}$ の関係が成り立つとき、N 型薄膜トランジスタ 141 の抵抗は、それに対峙する N 型薄膜トランジスタ 142 の抵抗に比べて小さくなるので、前記 N 型薄膜トランジスタ 141 には前記定電流 i の $1/2$ よりも i_{df} だけ多い電流 $(i/2 + i_{df})$ が流れることになる。同様に、これに対峙する前記 N 型薄膜トランジスタ 142 には $(i/2 - i_{df})$ の電流が流れることになる。一方、

前記P型薄膜トランジスタ143および144はカレントミラー回路を構成しており、このP型薄膜トランジスタ143および144にはそれぞれ同じ電流が流れるのであるから、即ち、それぞれ $i/2$ の電流が流れることになる。その結果、端子out1から前記N型薄膜トランジスタ141に向かってidfの電流が流れ、前記N型薄膜トランジスタ142から端子out2に向かってidfの電流が流れることになる。つまり $V_{in} > V_{ref}$ の関係が成り立つとき、この前記差動対回路145は端子out1から電流を引き込んで端子out1の電圧を下げ、端子out2に電流を流し込んで端子out2の電圧を上げるよう動作するのである。同様に、図11

(b)に示すように $V_{in} < V_{ref}$ の関係が成り立つときには、図11(a)の場合とは逆に、前記差動対回路145は端子out1に電流を流し込んで端子out1の電圧を上げ、端子out2から電流を引き込んで端子out2の電圧を下げるよう動作する。

【0049】以上に説明した差動対回路を用いた差動増幅回路は、実際には図12に示したタイムチャートのように駆動される。クロック信号CLKは V_{dd} と V_{ss} とを繰り返す周期信号である。ここでは、矩形波を入力した例について述べるが、これは正弦波でも構わず、さらには矩形波に遅延を生じた波形でも良く、つまりは後述する差動動作が対称に行える波形であれば良い。また、参照電圧 V_{ref} はクロック信号CLKの振幅中心、即ちここでは $(V_{dd} + V_{ss})/2$ に設定する。これにより、クロック信号CLKは V_{ref} から相対的に見て正負に波形の対称性が得られ、延いてはクロック ϕ とクロック ϕ^* との対称性を最も良くすることができる。これは、図11で説明した前記出力端子out1およびout2に流れる電流idfが、(a)の $V_{in} > V_{ref}$ の関係が成り立つ場合と(b)の $V_{in} < V_{ref}$ の関係が成り立つ場合とで相異なるとき、前記端子out1およびout2の電圧波形に対称性が損なわれることから逆説的に説明できる。さて、図12に示すように、クロック信号CLKおよび参照電圧 V_{ref} を差動対回路の2つの入力端子に入力したときには、前にも説明した通り、クロック信号CLKの電圧が参照電圧 V_{ref} よりも大きいときには前記端子out1の電圧を下げ、前記端子out2の電圧を上げるよう差動動作をする。また、クロック信号CLKの電圧が参照電圧 V_{ref} よりも小さいときには前記端子out1の電圧を上げ、前記端子out2の電圧を下げるよう差動動作をする。この様子を図12の2段目および3段目に示す。2段目に示すのが前記端子out2での出力電圧波形であり、3段目が前記端子out1での出力電圧波形である。これを前記バッファ回路146および144'で増幅することによりクロック ϕ および ϕ^* を得ることができる。差動増幅回路を用いてクロック ϕ および ϕ^* を同タイミングで生成することにより、クロック間の遅延差、同期ずれの無い一対のクロック信号

を得ることが可能となる。

【0050】以上、説明した本実施例2を用いることにより、シフトレジスタ回路に入力されるクロック ϕ およびクロック ϕ^* の同期ずれを実質的になくすることができ、さらには電源電圧の如何に関らず同様に差動増幅回路が同タイミングで一対のクロック信号を生成することができるので、これを用いた薄膜トランジスタ回路が電源電圧を上げるに従って誤動作し易くなるということは無い。

【0051】なお、ここでは差動増幅回路について一例を挙げたに過ぎないが、図10に示した前記差動対回路145のN型薄膜トランジスタをP型薄膜トランジスタに変え、P型薄膜トランジスタをN型薄膜トランジスタに変え、正電源と負電源を入れ替えることにより同機能の差動増幅回路を得ることができる。また、それ意外にも、内部に差動対回路を有する差動増幅回路であれば問題なく本実施例2の前記差動増幅回路として適用できる。

【0052】以上、実施例1および実施例2について別々に説明したが、これらを同時に用いることにより薄膜トランジスタ回路の一層の安定動作を保證することができる。

【0053】(実施例3)ところで、図11の前記N型薄膜トランジスタ140は定電流源として機能することは述べたが、この薄膜トランジスタを用いて定電流を安定して出力する方法について以下に詳しく述べる。

【0054】等価的な定電流源として薄膜トランジスタを用いるには、前述したように、その伝導特性の飽和領域での特性を用いるのが回路的に最も単純である。飽和領域とは、N型薄膜トランジスタの場合、ドレイン電圧を V_d 、ゲート電圧を V_g 、閾値電圧を V_0 としたとき $V_d < V_g - V_0$ となる電圧範囲のことである。当然、ここではエンハンスメント型の薄膜トランジスタを前提としているので $V_g > 0$ の条件を含んでいる。P型薄膜トランジスタもこれに準じる。薄膜トランジスタを流れる電流は、飽和領域においてゲート電圧にのみ依存しドレイン電圧に殆ど依存しないという特徴を有している。本実施例2では定電流源として薄膜トランジスタの飽和領域での特性を用いるために、薄膜トランジスタのゲート電圧として上記の飽和領域の範囲条件を満たす電圧 V_{bias} を印加している。

【0055】これを定電流源として利用することにより、カレントミラー回路を用いる代表的な方法に比べ、低消費電流かつ1素子による単純な回路で定電流源を構築できるという利点がある。さらには、薄膜トランジスタの伝導特性は、MOSFETの伝導特性のようにバックゲート電圧 V_{sub} に依存することが無いので、定電流量の制御をゲート電極のみで行うことができ定電流源の制御が容易になるという利点がある。

【0056】さらに、この定電流特性をより良くするに

は、この薄膜トランジスタをオフセットゲート化またはLDD (Lightly Doped Drain) 化した薄膜トランジスタにすれば良い。一般に、オフセットゲートとはゲート電極端の直下から離れた位置にドレイン電極端がある薄膜トランジスタ構造のことを指し、LDDとはゲート電極端直下とドレイン電極端との間に低濃度の不純物領域を設けた薄膜トランジスタ構造のことを指している。オフセットゲート化またはLDD化した薄膜トランジスタと通常の薄膜トランジスタとについて、飽和領域におけるドレイン電流のドレイン電圧依存性を模式的に示したのが図13である。図13(a)は通常のN型薄膜トランジスタの飽和領域での伝導特性であり、(b)はLDD化またはオフセットゲート化したN型薄膜トランジスタの飽和領域での伝導特性である。実線で示したのが飽和領域での伝導特性であり、点線で示したのが線形領域での伝導特性である。縦軸はドレイン電流を対数スケールにとり、横軸はゲート電圧を線形にとった。それぞれの図の2本の線は、ドレイン電圧が V_{d1} 、 V_{d2} (但し、 $V_{d1} < V_{d2}$) のときのドレイン電流を示している。これを見て分かるように、通常の薄膜トランジスタでは飽和領域においても若干のドレイン電圧依存性があるのに対し、オフセットゲート化またはLDD化することにより飽和領域でのドレイン電圧依存性は実質的になくなる。オフセットゲート化またはLDD化した薄膜トランジスタ回路を用いて前記差動対回路の定電流源を構成することにより、前記差動対回路の入力電圧に全く依存せずに安定した電流を出力する定電流源を得ることができる。さらには、これを用いた薄膜トランジスタ回路を低消費電流化し、かつその消費電流のばらつきを小さくすることができるため電源容量等の設計を容易にすることができる。

【0057】

【発明の効果】 上記実施例1または実施例2による手段を講じた薄膜トランジスタ回路においては、電源電圧に対する誤動作の発生確率の依存性が無くなるため、動作を保証する電源電圧の規格範囲を大きくとることが可能となる。さらに、上記実施例2による手段を講じた薄膜トランジスタ回路においては、そのシフトレジスタ部におけるクロックタイミングに対する余裕が生じるため、外部のクロック発生回路のタイミング余裕を大きくすることができ、延いては前記薄膜トランジスタ回路を用いたシステム全体の設計余裕を大きくすることができる。また、本実施例3による手段を講じた薄膜トランジスタ回路においては、定電流源を極めて簡単な回路構成で得ているため、薄膜トランジスタ回路の低消費電力化や、小型化の目的に適している。

【図面の簡単な説明】

【図1】 本発明の実施例2の一例を説明する図。

【図2】 従来の液晶表示装置の構成を説明する図。

【図3】 従来の液晶表示装置を説明する等価回路図。

【図4】 従来の液晶表示装置の駆動方法の一例を説明する図。

【図5】 従来の薄膜トランジスタ回路の、ノイズ等による誤動作の状況を説明する図。(a)は薄膜トランジスタを用いたシフトレジスタ回路の構成を説明する図。

(b)は前記シフトレジスタ回路の理想的な動作を説明するタイムチャート。(c)は前記シフトレジスタ回路が誤動作するときの状況を説明するタイムチャート。

【図6】 従来の薄膜トランジスタ回路の、クロックの同期ずれによる誤動作の状況を説明する図。(a)は薄膜トランジスタを用いたシフトレジスタ回路の構成を説明する図。(b)は前記シフトレジスタ回路が誤動作するときの状況を説明するタイムチャート。

【図7】 クロックドインバータの基本構成および動作を説明する図。(a)は最も一般的なクロックドインバータの基本構成を説明する図。(b)は前記クロックインバータの動作を説明する表。

【図8】 本発明の実施例1の一例を説明する図。

【図9】 図8で示した本発明の実施例1の一例の回路動作を説明するタイムチャート。

【図10】 本発明の実施例2に用いる差動増幅回路の構成を説明する図。

【図11】 本発明の実施例2に用いる前記差動増幅回路の動作を説明する図。(a)は、クロック信号CLKの入力電圧 V_{in} が参照電圧 V_{ref} よりも大きい場合における、前記差動増幅回路の動作を説明する図。(b)は、 V_{ref} が V_{in} よりも大きい場合における、前記差動増幅回路の動作を説明する図。

【図12】 図1で示した本発明の実施例2の動作を説明するタイムチャート。

【図13】 本発明の実施例3を説明する図。

【符号の説明】

120 . . . 差動増幅回路

121 . . . クロックCLKを伝送するクロック信号線

122 . . . 参照電圧 V_{ref} を伝送する参照電圧信号線

123 . . . シフトレジスタ部

CLK . . . クロック信号CLK

40 V_{ref} . . . 参照電圧信号

ϕ 、 ϕ^* . . . クロック ϕ およびクロック ϕ^*

201 . . . ソース線駆動回路

202 . . . ゲート線駆動回路

203 . . . 画素マトリクス

204 . . . 透明絶縁基板

205 . . . 薄膜トランジスタ

206 . . . 液晶セル

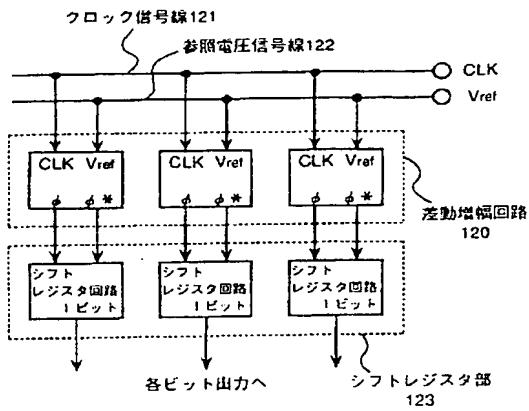
X_1 、 X_2 、 X_3 . . . ソース線

Y_1 、 Y_2 、 Y_3 . . . ゲート線

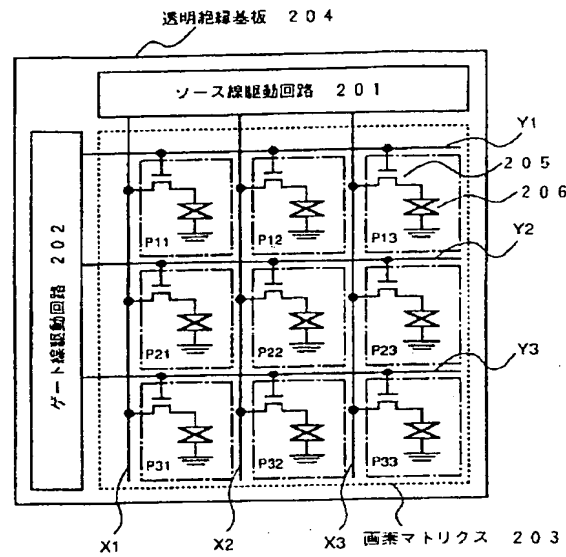
50 P_{11} 、 P_{12} 、 P_{13} 、. . . 画素

21	22
301 . . . ソース線駆動回路	501, 506 . . . クロックφで規定されている
302 . . . ゲート線駆動回路	クロックドインバータ
303 . . . 画素マトリクス	502, 505 . . . インバータ
304 . . . X側シフトレジスタ	503, 504 . . . クロックφ*で規定されてい
305 . . . X側バッファ	るクロックドインバータ
306 . . . ビデオ信号線	Din . . . シフト開始信号入力端子およびその信号
307, 307' . . . アナログスイッチ	P51~P54 . . . 点P51~P54
308, 308' . . . ソース線	t50~t55 . . . 時点t50~t55
309 . . . Y側シフトレジスタ	601, 606 . . . クロックφで規定されている
310 . . . Y側バッファ	クロックドインバータ
311, 311' . . . ゲート線	602, 605 . . . インバータ
312, 312' . . . 薄膜トランジスタ	603, 604 . . . クロックφ*で規定されてい
313, 313' . . . 液晶セル	るクロックドインバータ
331 . . . クロックCLXで規定されるクロック	P61~P64 . . . 点P61~P64
ドインバータ	t60~t65 . . . 時点t60~t65
332 . . . クロックCLX*で規定されるクロッ	701 . . . 第1のP型薄膜トランジスタ
クドインバータ	702 . . . 第2のP型薄膜トランジスタ
333 . . . インバータ	703 . . . 第1のN型薄膜トランジスタ
334 . . . X側シフトレジスタの基本セル	704 . . . 第2のN型薄膜トランジスタ
335 . . . クロックCLYで規定されるクロック	Vdd . . . 正電源電圧
ドインバータ	Vss . . . 負電源電圧
336 . . . クロックCLY*で規定されるクロッ	CL1, CL2 . . . クロック信号CL1およびC
クドインバータ	L2
337 . . . インバータ	IN . . . クロックドインバータの入力端子
338 . . . NAND論理ゲート	OUT . . . クロックドインバータの出力端子
339 . . . Y側シフトレジスタの基本セル	801, 808 . . . クロックφで規定されている
341 . . . X側シフトレジスタのスタートパルス	クロックドインバータ
入力端子	802, 806 . . . ダイオード回路
342 . . . Y側シフトレジスタのスタートパルス	803, 807 . . . インバータ
入力端子	804, 805 . . . クロックφ*で規定されてい
344 . . . ビデオ信号入力端子	るクロックドインバータ
CLX, CLX* . . . クロックCLXおよびクロ	P80~P86 . . . 点P80~P86
ックCLX*	VH, VL . . . ハイレベルおよびローレベル
CLY, CLY* . . . クロックCLYおよびクロ	Vth . . . 薄膜トランジスタの閾値電圧
ックCLY*	t90~t94 . . . 時点t90~t94
P1, P2 . . . 図3の等価回路の点P1および点P2	P80~P86 . . . 点P80~P86での電圧波形
Q1, Q2 . . . 図3の等価回路の点Q1および点Q2	140, 141, 142 . . . N型薄膜トランジス
R1, R2 . . . 図3の等価回路の点R1および点R2	タ
V1 . . . 図3の等価回路の点V1	143, 144 . . . P型薄膜トランジスタ
401 . . . 図3の点P1での電圧波形	145 . . . 差動対回路
402 . . . 図3の点P2での電圧波形	146, 146' . . . バッファ
403 . . . 図3の点Q1での電圧波形	out1, out2 . . . 差動対回路145の出力
404 . . . 図3の点Q2での電圧波形	端子兼、バッファ146および146'の入力端子
405 . . . 図3の点V1での電圧波形	Vbias . . . N型薄膜トランジスタ140に印加す
406 . . . 図3の点R1での電圧波形	るバイアス電圧
407 . . . 図3の点R2での電圧波形	i . . . 定電流i
408 . . . ビデオ中心	idf . . . 差動電流idf
411 . . . 図3のクロックCLYの電圧波形	Vd1, Vd2 . . . ドレイン電圧Vd1, Vd2
412 . . . 図3のクロックCLXの電圧波形	

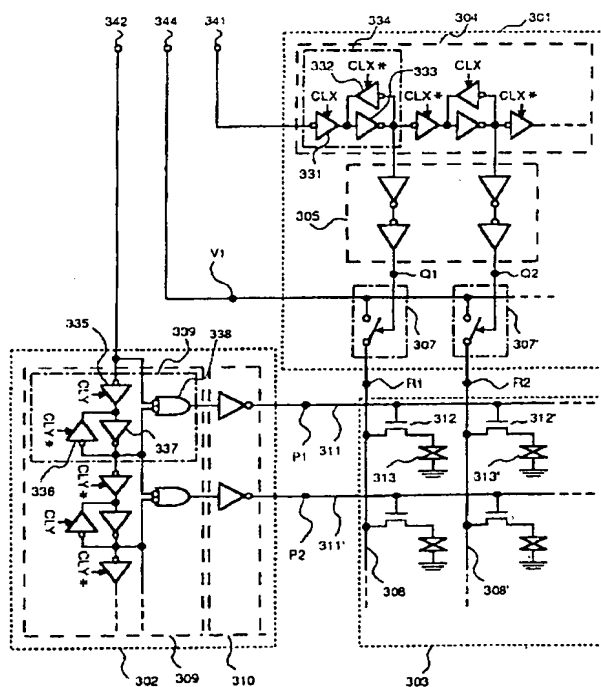
【図 1】



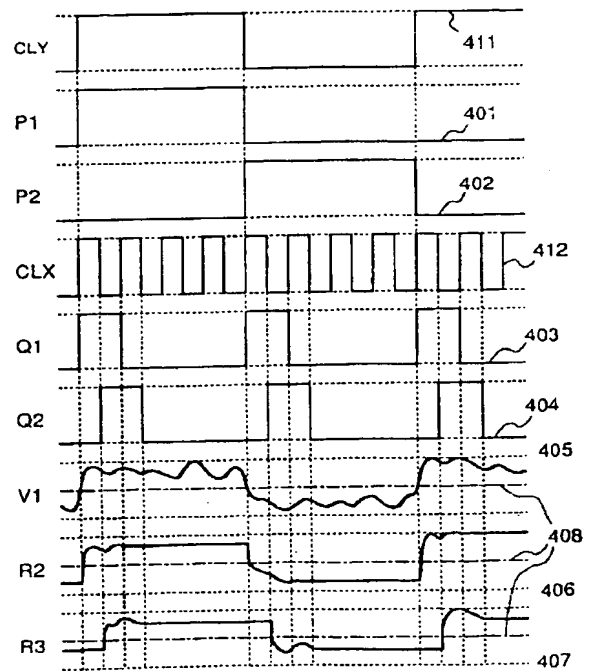
【図 2】



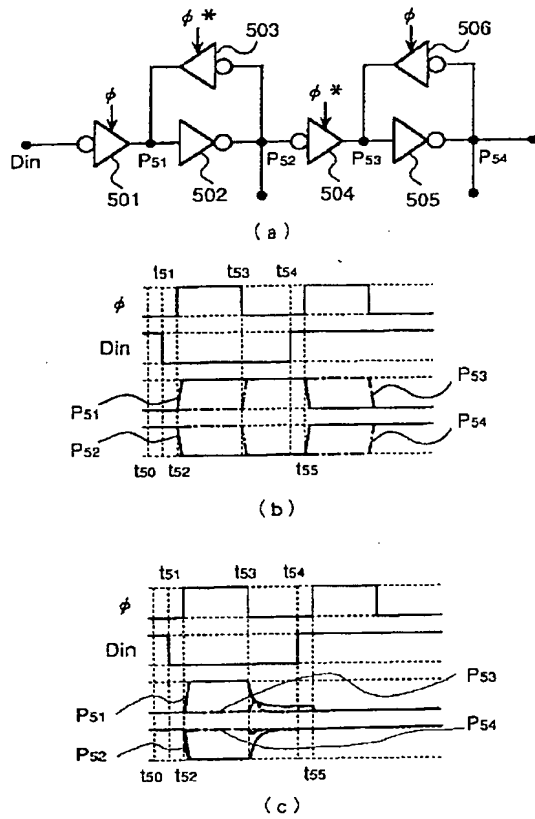
【図 3】



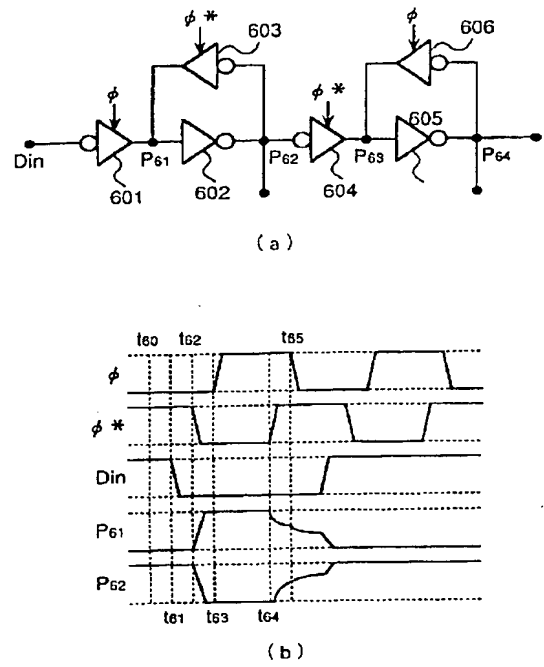
【図 4】



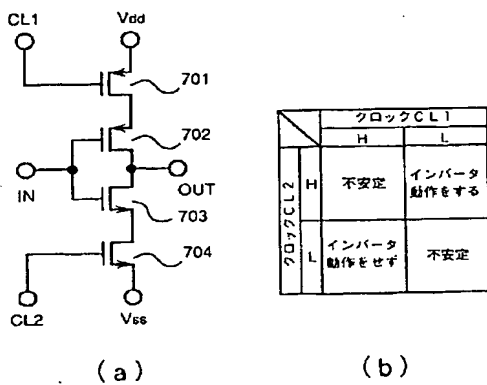
【図5】



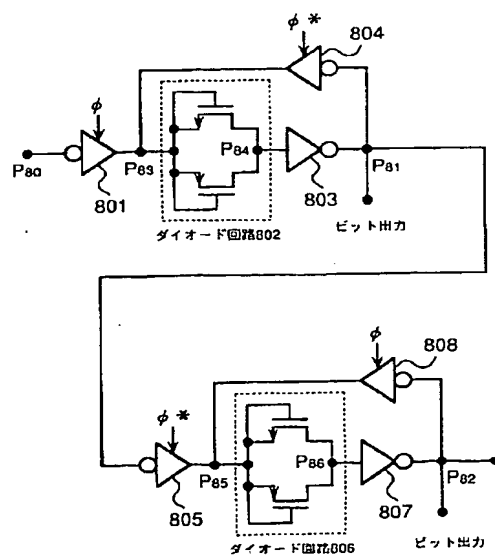
【図6】



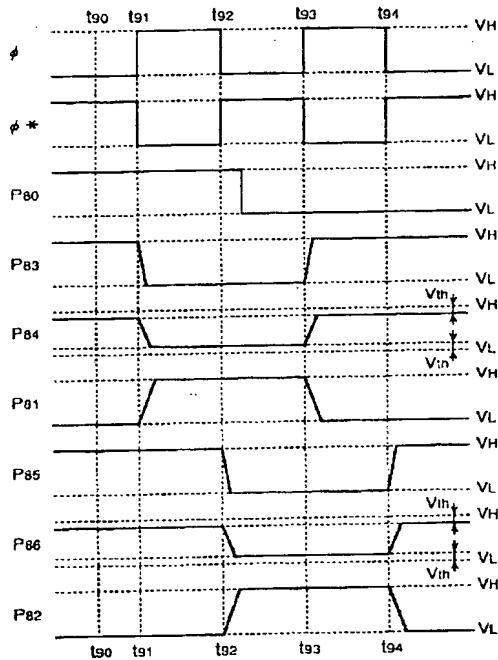
【図7】



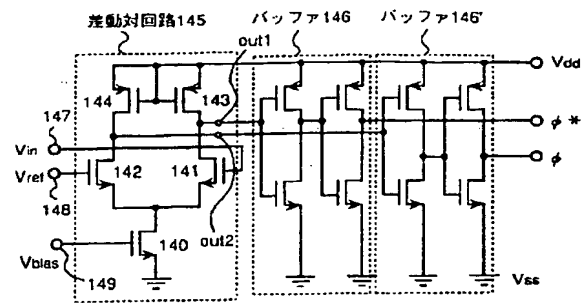
【図8】



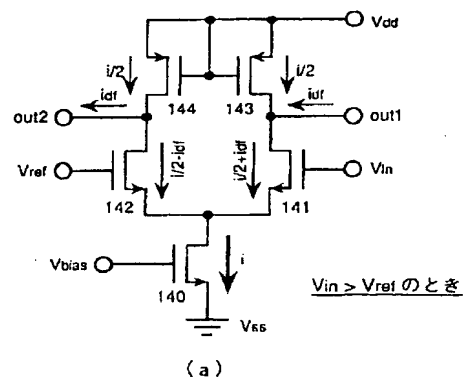
【図9】



【図10】

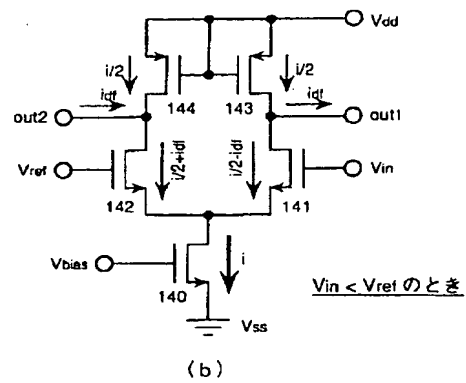
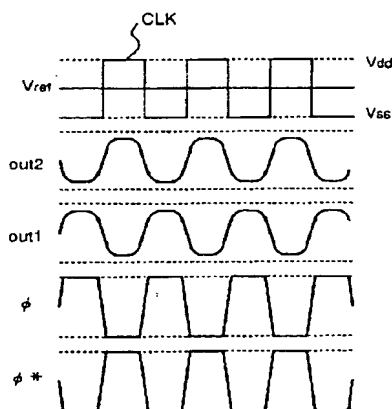


【図11】



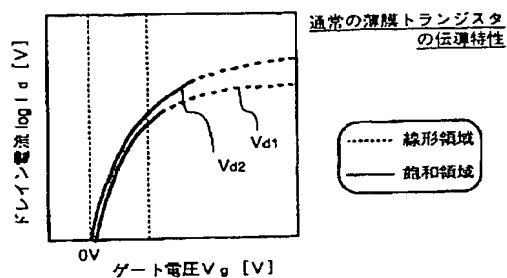
(a)

【図12】

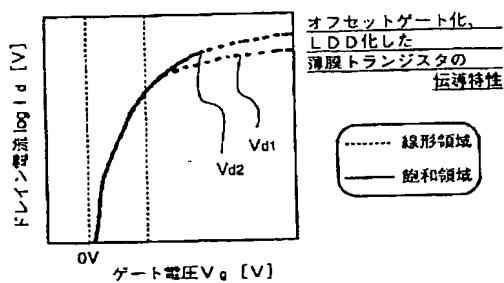


(b)

【図13】



(a)



(b)